

PAT-NO: JP362104074A
DOCUMENT-IDENTIFIER: JP 62104074 A
TITLE: SOLID-STATE IMAGE PICKUP ELEMENT
PUBN-DATE: May 14, 1987

INVENTOR-INFORMATION:

NAME	COUNTRY
MURAYAMA, TAKASHI	
TABEI, MASATOSHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJI PHOTO FILM CO LTDN/A	

APPL-NO: JP60241617
APPL-DATE: October 30, 1985

INT-CL (IPC): H01L027/14 , H04N005/335

US-CL-CURRENT: 257/233, 257/E27.133

ABSTRACT:

PURPOSE: To improve the sensitivity in a horizontal transfer type solid state image pickup element by using as a switching element for reading out a signal charge from an optical diode with an FET having double gate structure, thereby increasing the aperture rate.

CONSTITUTION: A MOS transistor switch for supplying a signal charge stored in an optical diode 1 to a signal line 5 has two gates, one of which is connected with a vertical scanning circuit 8, and the other of which is connected with a horizontal scanning circuit 7. The circuits 7, 8 are shift registers, which produce signals to horizontal and vertical gate lines 2, 3, the MOS transistor switch is conducted when both gates are simultaneously supplied with control signal, and the signal of one picture element is read out an either one signal lines 5.

COPYRIGHT: (C)1987, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-104074

⑤ Int.Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)5月14日

H 01 L 27/14
H 04 N 5/335

7525-5F
8420-5C

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 固体撮像素子

⑰ 特 願 昭60-241617

⑱ 出 願 昭60(1985)10月30日

⑲ 発 明 者 村 山 任 南足柄市中沼210番地 富士写真フイルム株式会社内
⑲ 発 明 者 田 部 井 雅 利 南足柄市中沼210番地 富士写真フイルム株式会社内
⑲ 出 願 人 富士写真フイルム株式 南足柄市中沼210番地
会社
⑲ 代 理 人 弁理士 佐々木 清隆 外2名

明 細 書

1. 発明の名称

固体撮像素子

2. 特許請求の範囲

(1) マトリクス状に配置された光電変換素子。
光電変換素子の信号電荷を択一的に出力端子に供給するため光電変換素子に付属したスイッチ、およびこれらスイッチを制御する水平走査回路および垂直走査回路から成る、固体撮像素子において、それぞれのスイッチが、直列の2つのゲートを有するMOS形トランジスタスイッチであり、2つのゲートのうち一方は水平走査回路から制御され、かつ他方は垂直走査回路から制御され、水平走査回路と垂直走査回路から同時に制御された1つのスイッチだけが光電変換素子の信号電荷を出力端子に供給することを特徴とする、固体撮像素子。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、スミアおよびブルーミングと称する

誤光信号の発生を減少するため、画面領域の信号線を水平方向に向けた、水平移送方式(以下TSLと称する)固体撮像素子に関する。

(従来技術)

光によつて発生した電荷が拡散して垂直信号線に侵入し、画像に縦の帯状の模様を形成する、いわゆるスミア現象は周知である。同様に画像中に光ダイオードの飽和点以上の輝度の物体が存在すると、隣接する領域に電荷が拡散して、同様な画像障害が生じる。これはブルーミング現象と称する。画素構造のnpn化等の手段により、ブルーミング現象は、現在ではほとんど問題にならない程度にまで軽減することができる。

スミア現象についても同様の処置により軽減はされたが未だ不十分であつた。この現象をさらに軽減する有効な方法は、信号線の走査期間を短くすることにある。すなわち従来の垂直信号線は、水平走査回路によつて1度信号線出しを行つてから次に指定されるまでの間63.5 μ secにわたつて拡散した信号電荷を受取る。

そのため信号線を水平に配置することが提案されている。このようにすれば信号線は、各画素の脱出し毎に走査される。例えば水平方向の画素数が500とすると、水平信号線の走査期間は、 $63.5/500 \mu\text{sec}$ ：ほぼ $0.12 \mu\text{sec}$ となり、この期間中に信号線に拡散する電荷は極めてわずかなり、スミア現象はほとんど生じなくなる。

(発明が解決しようとする問題点)

信号線を水平に配置した固体撮像素子、すなわちTSL固体撮像素子では、光ダイオードと水平信号線との間に2つのMOS形トランジスタスイッチを直列に配置しなければならず、一方のスイッチは垂直走査回路から、他方のスイッチは水平走査回路から制御される。1つの光ダイオードあたり2つのMOS形トランジスタスイッチを設けるため、光ダイオードの面積率は減少し、開口率が低下してしまうということが、TSL固体撮像素子の欠点である。

本発明の目的は、誤光信号の発生を減少したTSL固体撮像素子の開口率を向上させることにあ

上させることになる。

MOS形トランジスタスイッチは、1画素あたり1つ設ければよいので、開口率は増加できる。

(実施例)

本発明の実施例を以下図面によつて説明する。

第1図は、本発明によるTSL素子の基本回路図である。光ダイオード1内に蓄えられた信号電荷は、MOS形トランジスタスイッチを介して信号線5に供給される。これらMOS形トランジスタスイッチは2つのゲートを有する。一方のゲートは垂直走査回路8に接続され、他方のゲート4は水平走査回路7に接続されている。水平走査回路7および垂直走査回路8は、シフトレジスタであり、それぞれ出力端子のうちの1つから水平ゲート線2および垂直ゲート線3に信号1を送出する。それぞれのMOS形トランジスタスイッチは、両方のゲートに同時に制御信号が供給された場合に導通する。

従つて水平走査回路7と垂直走査回路8が、それぞれの走査速度に従つて、それぞれの出力端子

る。

(問題点を解決するための手段および作用)

本発明によればこの目的は次のようにして達成される。すなわち光電変換素子に付属のそれぞれのスイッチは、直列の2つのゲートを有する1つのMOS形トランジスタスイッチであり、2のゲートのうち一方は水平走査回路から制御され、かつ他方は垂直走査回路から制御され、このスイッチは、2つのゲートが同時に制御された時にオンになる。従つて水平走査回路と垂直走査回路から同時に制御された1つのスイッチだけが光電変換素子の信号電荷を出力端子に供給する。

このようにすれば水平信号線は、1つの画素が脱取られる度に脱取られるので、光電変換素子から拡散によつて信号線に漏出した電荷が長期間にわたつて蓄積することはない。すなわちスミア現象は生じない。

各画素の2つのゲートは例えば2層のポリシリコンを使うことでゲート間隔を小さくでき、画素に占めるゲート部の面積を減少させ、開口率を向

から順に信号1を送出すれば、いずれか1つの信号線5上にいずれか1つの画素の信号が脱出される。

第2図は、ICチップ上の画素の構造を示す略図である。各画素において光ダイオード1-1~1-4から信号線5-1、5-2に信号を取出す部分は、2層ポリSiを用いた2重ゲート構造の1つのFETから成る。2重ゲートは、水平ゲート線2-1、3-2にコンタクトホール9を介して接続された水平ゲート4-1~4-4、および垂直ゲート線3-1、3-2自身から成る。この2重ゲートの下側の部分、すなわち光ダイオード1-1~1-4から信号線5-1、5-2に通じる部分は、FETのチャネル部分である。

第2図の画素構造の例ではA層は3層使われているが、第3図に示すように水平ゲート線6-1、6-2を配置すれば、A層は2層で良くなりプロセス的に有利となる。Si基板上に形成された光ダイオード1-1~1-4、およびFETチャネル部分上には、絶縁層をはさんで第

1のA₀層が形成される。この第1のA₀層で、例えば信号線5-1、5-2と垂直ゲート線3-1、3-2が形成できる。さらにその上に絶縁層をはさんで第2のA₀層を形成し、水平ゲート線2-1、2-2を構成する。第2図の構成では、その上にさらに絶縁層をはさんで、第3のA₀層により水平ゲート4-1~4-4が形成されている。しかし水平ゲート線6-1、6-2を第3図に示すように形成すれば、第3のA₀層は不要になる。

(発明の効果)

以上記載したとおり、本発明のTSL素子によれば、スミアおよびブルーミングによる該光信号の発生を低減できると共に、光ダイオードから信号電荷を読み取るスイッチング素子に2重ゲート構造を有するFETを用いたことにより画素に及ぼす面積の減少という問題が回避でき、開口率を増加させて感度の向上がはかれる。

4. 図面の簡単な説明

第1図は、本発明によるTSL素子の回路図、第2図および第3図は、TSL素子の画素の構造を示す図である。

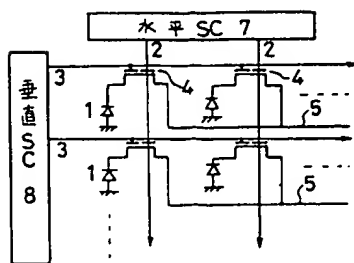
1…光ダイオード、2、6…水平ゲート線、3…垂直ゲート線、4…水平ゲート、5…信号線、7…水平走査回路、8…垂直走査回路、9…コンタクトホール。

代理人弁理士(8107) 佐々木 清 隆

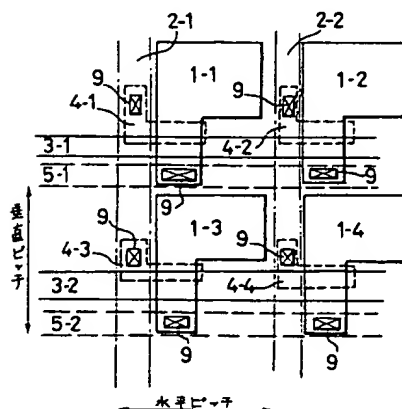
(ほか2名)



第 1 図



第 2 図



第 3 図

